

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-244430

(43)Date of publication of application : 07.09.2001

(51)Int.Cl.

H01L 27/108
H01L 21/8242

(21)Application number : 2000-058007

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 29.02.2000

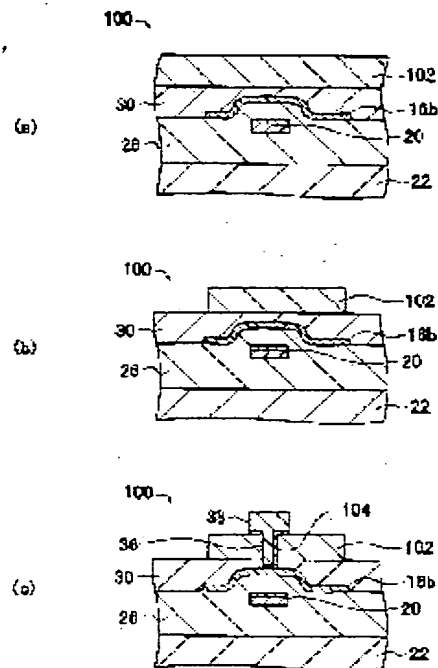
(72)Inventor : KATO KAZUSUKE

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device and its manufacturing method whereby a contacting resistance of its conductive layer with its wiring layer can be suppressed.

SOLUTION: On a semiconductor substrate 22 of a memory portion 100, a first insulation layer 26 having therein a second conductive layer 20 is formed. On the first insulation layer 26, a fourth conductive layer 16b passing over the second conductive layer 20 and made of polysilicon is formed to form a second insulation layer 30 on the first insulation layer 26 and the fourth conductive layer 16b. On the second insulation layer 30, there is formed a third insulation layer 102 provided above the fourth conductive layer 16b and having such a thickness that the aspect ratio of an opening portion 104 is made not smaller than 0.6. The opening portion 104 is passed through the second and third insulation layers 30, 102 to be connected with the fourth conductive layer 16b. After forming a Ti layer on the inner wall of the opening portion 104, a metallic layer 36 made of TiN is so formed by an RTN processing as to form in the opening portion 104 a wiring layer 38 connected via the metallic layer 36 with the fourth conductive layer 16b.



LEGAL STATUS

[Date of request for examination]

29.08.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-244430

(P2001-244430A)

(43) 公開日 平成13年9月7日 (2001.9.7)

(51) Int.Cl.⁷

H 0 1 L 27/108
21/8242

識別記号

F I

H 0 1 L 27/10

テマコード (参考)

6 2 1 Z 5 F 0 8 3

審査請求 未請求 請求項の数20 O L (全 13 頁)

(21) 出願番号 特願2000-58007(P2000-58007)

(22) 出願日 平成12年2月29日 (2000.2.29)

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 加藤 一介

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74) 代理人 100095957

弁理士 亀谷 美明 (外3名)

Fターム(参考) 5F083 AD21 GA02 JA39 MA05 MA06

MA16 NA08 PR03 PR16 PR21

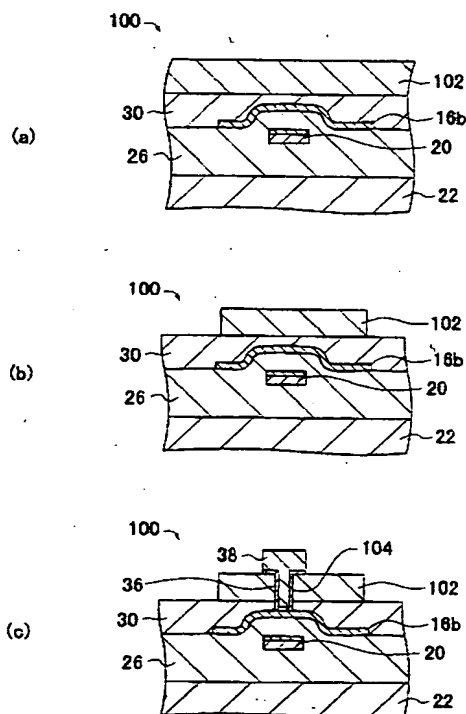
PR39

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 導電層と配線層との間のコンタクト抵抗を抑制可能な半導体装置およびその製造方法を提供する。

【解決手段】 メモリ部100の半導体基板22上に第2導電層20が内部に配置される第1絶縁層26を形成する。第1絶縁層26上に第2導電層20の上方を通過し、ポリシリコンから成る第4導電層16bを形成する。第1絶縁層26上および第4導電層16b上に第2絶縁層30を形成する。第2絶縁層30上に第4導電層16bの上方に配置され、開口部104のアスペクト比が0.6以上になる厚みの第3絶縁層102を形成する。第2絶縁層30と第3絶縁層102とを貫通し、第4導電層16bに接続される開口部104を形成する。開口部104の内壁にTi層を形成し、RTN処理してTiNから成る金属層36を形成する。開口部104内に金属層36を介して第4導電層16bと接続する配線層38を形成する。



【特許請求の範囲】

【請求項1】 第1の導電層と；前記第1の導電層上に第1の絶縁層を介して形成されるとともに、前記第1の導電層を跨ぐように延在する第2の導電層と；前記第2の導電層上に形成される第2の絶縁層と；前記第1の導電層と前記第2の導電層とが交差する領域の前記第2の絶縁層上に形成される第3の絶縁層と；前記第1の導電層と前記第2の導電層とが交差する領域に形成され、前記第2の絶縁層と前記第3の絶縁層とを貫通し前記第2の導電層へ達する開口部と；を備えることを特徴とする、半導体装置。

【請求項2】 前記第3の絶縁層は、前記開口部のアスペクト比が0.6以上になる厚みを有することを特徴とする、請求項1に記載の半導体装置。

【請求項3】 第1の導電層と；前記第1の導電層上に第1の絶縁層を介して形成されるとともに、前記第1の導電層を跨ぐように延在する第2の導電層と；前記第2の導電層上に形成され、前記第1の導電層と前記第2の導電層とが交差する領域に張り出し部を有する第2の絶縁層と；前記第1の導電層と前記第2の導電層とが交差する領域に形成され、前記第2の絶縁層の張り出し部を貫通し前記第2の導電層へ達する開口部と；を備えることを特徴とする、半導体装置。

【請求項4】 前記第2の絶縁層は、前記張り出し部の形成部分で、前記開口部のアスペクト比が0.6以上になる厚みを有することを特徴とする、請求項3に記載の半導体装置。

【請求項5】 第1の導電層と；前記第1の導電層上に第1の絶縁層を介して形成される第2の導電層と；前記第2の導電層上に形成される第2の絶縁層と；前記第1の導電層と前記第2の導電層とが交差する領域を除く領域に形成され、前記第2の絶縁層を貫通し前記第2の導電層へ達する開口部と；を備えることを特徴とする、半導体装置。

【請求項6】 前記第2の絶縁層は、前記開口部のアスペクト比が0.6以上になる厚みを有することを特徴とする、請求項5に記載の半導体装置。

【請求項7】 第1の導電層と；前記第1の導電層上に第1の絶縁層を介して形成されるとともに、前記第1の導電層を跨ぐように延在する第2の導電層と；前記第2の導電層上に形成される第2の絶縁層と；前記第1の導電層から1.5 μ m以上離間して形成され、前記第2の絶縁層を貫通し前記第2の導電層へ達する開口部と；を備えることを特徴とする、半導体装置。

【請求項8】 前記第1の導電層の下方には、前記第1の絶縁層を介して第3の導電層が配置され、前記開口部は、前記第1の導電層と前記第3の導電層から1.5 μ m以上離間した前記第2の絶縁層に形成されること；を特徴とする、請求項7に記載の半導体装置。

【請求項9】 前記第3の導電層は、第3の絶縁層上に

形成され、前記開口部は、前記第1の導電層と前記第3の導電層と前記第3の絶縁層から1.5 μ m以上離間した前記第2の絶縁層に形成されること；を特徴とする、請求項8に記載の半導体装置。

【請求項10】 前記第2の絶縁層は、前記開口部のアスペクト比が0.6以上になる厚みを有することを特徴とする、請求項7、8または9のいずれかに記載の半導体装置。

【請求項11】 第1の導電層上に、第1の絶縁層を形成する工程と；前記第1の絶縁層上に、前記第1の導電層を跨ぐように延在する第2の導電層を形成する工程と；前記第1の導電層と前記第2の導電層とが交差する領域の前記第2の絶縁層上に、第3の絶縁層を形成する工程と；前記第1の導電層と前記第2の導電層とが交差する領域に、前記第2の絶縁層と前記第3の絶縁層とを貫通し前記第2の導電層へ達する開口部を形成する工程と；を含むことを特徴とする、半導体装置の製造方法。

【請求項12】 前記第3の絶縁層を形成する工程は、前記第3の絶縁層を前記開口部のアスペクト比が0.6以上になる厚みに形成する工程であることを特徴とする、請求項11に記載の半導体装置の製造方法。

【請求項13】 第1の導電層上に、前記第1の絶縁層を形成する工程と；前記第1の絶縁層上に、前記第1の導電層を跨ぐように延在する第2の導電層を形成する工程と；前記第2の導電層上に、前記第1の導電層と前記第2の導電層とが交差する領域に張り出し部を有する第2の絶縁層を形成する工程と；前記第1の導電層と前記第2の導電層とが交差する領域に、前記第2の絶縁層の張り出し部を貫通し前記第2の導電層へ達する開口部を形成する工程と；を含むことを特徴とする、半導体装置の製造方法。

【請求項14】 前記第2の絶縁層を形成する工程は、前記第2の絶縁層を前記張り出し部の形成部分で、前記開口部のアスペクト比が0.6以上になる厚みに形成する工程であることを特徴とする、請求項13に記載の半導体装置の製造方法。

【請求項15】 第1の導電層上に、第1の絶縁層を形成する工程と；前記第1の絶縁層上に、第2の導電層を形成する工程と；前記第2の導電層上に、第2の絶縁層を形成する工程と；前記第1の導電層と前記第2の導電層とが交差する領域を除く領域に、前記第2の絶縁層を貫通し前記第2の導電層へ達する開口部を形成する工程と；を含むことを特徴とする、半導体装置の製造方法。

【請求項16】 前記第2の絶縁層を形成する工程は、前記第2の絶縁層を前記開口部のアスペクト比が0.6以上になる厚みに形成する工程であることを特徴とする、請求項15に記載の半導体装置の製造方法。

【請求項17】 第1の導電層上に、第1の絶縁層を形成する工程と；前記第1の絶縁層上に、前記第1の導電層を跨ぐように延在する第2の導電層を形成する工程

と；前記第2の導電層上に、第2の絶縁層を形成する工程と；前記第1の導電層から1.5 μm 以上離間するとともに、前記第2の絶縁層を貫通し前記第2の導電層へ達する開口部を形成する工程と；を含むことを特徴とする、半導体装置の製造方法。

【請求項18】 さらに、前記第1の絶縁層の形成前に、前記第1の導電層の下方に配置される第3の導電層を形成する工程を含み；前記開口部を形成する工程は、前記開口部を前記第1の導電層と前記第3の導電層から1.5 μm 以上離間した前記第2の絶縁層に形成する工程であること；を特徴とする、請求項17に記載の半導体装置の製造方法。

【請求項19】 さらに、前記第3の導電層を形成する前に、第3の絶縁層を形成する工程と；前記第3の絶縁層上に、前記第3の導電層を形成する工程とを含み；前記開口部を形成する工程は、前記開口部を前記第1の導電層と前記第3の導電層と前記第3の絶縁層から1.5 μm 以上離間した前記第2の絶縁層に形成する工程であること；を特徴とする、請求項18に記載の半導体装置の製造方法。

【請求項20】 前記第2の絶縁層を形成する工程は、前記第2の絶縁層を前記開口部のアスペクト比が0.6以上になる厚みに形成する工程であることを特徴とする、請求項17、18または19のいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に係り、特にCOB (Capacitor Over Bit line) 型DRAM (Dynamic Random Access Memory) 半導体装置およびその製造方法に関する。

【0002】

【従来の技術】従来、半導体記憶装置として、DRAMが広く使用されている。DRAMは、一つのトランジスタ素子と一つのキャパシタ素子とでメモリセルが構成されている。このため、DRAMは、高集積化が容易であり、かつ製造コストが安いので、メモリを大量に使用する各種コンピュータのメインメモリなどに広く使用されている。また、最近、半導体記憶装置の製造工程では、半導体記憶装置の超高集積化が技術的要求項目の一つに挙げられている。かかる技術的要求を達成するために、DRAMのメモリセル構造としてCOB構造が提案されている。COB構造は、キャパシタ素子がビット線上に形成されるので、セル面積を縮小化でき、半導体記憶装置の超高集積化を達成することが可能である。

【0003】また、最近、半導体装置に単独に形成される抵抗体の数を減少させて、半導体記憶装置の集積度をさらに高める技術が提案されている。例えば、上記COB型DRAMでは、キャパシタ素子を構成する導電層を

メモリセルの周辺部まで形成し、該導電層を抵抗体としても共用する。ここで、かかる構造を有するCOB型DRAMのメモリ部10の製造方法について、図12を参照しながら説明する。なお、図12(a)は、従来のメモリ部10のメモリセル部の概略的な断面図である。また、図12(b)は、従来のメモリ部10のメモリセル周辺部の概略的な断面図である。

【0004】まず、図12(a)および図12(b)に示すように、半導体基板22に形成された第1絶縁層(層間絶縁膜)26上に、キャパシタ素子16を構成する第4導電層(ゲート電極)16bを形成する。この際、すでに第1導電層18、第2導電層20、不図示の第3導電層などの各種素子が形成されている。また、第1絶縁層26には、トランジスタ素子や図12(b)に示すキャパシタ素子16が内装されている。また、第4導電層16bは、図12(a)に示すメモリセル部から図12(b)に示すメモリセル周辺部に渡り形成する。また、図12(b)に示すメモリセル周辺部に形成された第4導電層16bは、抵抗体として使用される。次いで、図12(a)および図12(b)に示すように、第4導電層16bが形成された第1絶縁層26上に第2絶縁層30を形成し、該第2絶縁層30を平坦化する。その後、図12(b)に示すように、第2絶縁層30に第4導電層16bに接続される開口部(コンタクトホール)34を形成する。開口部34は、メモリセル周辺部、かつ第1絶縁層26に内装されたトランジスタ素子を構成する第2導電層20の上方に配置される。

【0005】次いで、開口部34の内壁に、例えばTi層を形成した後、RTN (Rapid Thermal Nitridation) 処理によりTi層を窒化させて、TiNから成る金属層(バリアメタル層)36を形成する。この際、開口部34の底部では、第4導電層16bの構成材料、例えばポリシリコンとTiとが反応して、Tiシリサイド合金が形成される。Tiシリサイド合金は、第4導電層16bと配線層(埋め込み電極)38との間の寄生抵抗の抑制に寄与する。次いで、開口部34内に所定金属を埋め込み、配線層38を形成する。配線層38は、第4導電層16bを抵抗体として使用する場合の電極を兼ねている。なお、図12(a)中、符号16aと16cは、それぞれキャパシタ素子16を構成する下部電極とキャパシタ絶縁膜である。また、符号23は、ゲート酸化膜である。また、符号24は、フィールド酸化膜である。

【0006】

【発明が解決しようとする課題】しかしながら、上記従来の技術では、図12(b)に示すように、開口部34下方の第1絶縁層26に第2導電層20が配置されている。このため、第1絶縁層26は、開口部34の形成部分で、第2導電層20の厚みにより盛り上がる。さらに、第4導電層16bも、開口部34の形成部分では、

第1絶縁層26の表面形状に沿って平坦ではない。また、第2絶縁層30は、実装上等の理由により、一般的に平坦化される。従って、第2絶縁層30の開口部34形成部分は、その周囲よりも厚みが薄くなり、結果的に開口部34のアスペクト比が低くなって深さが浅くなる。

【0007】開口部34の深さが浅くなると、図13(a)に示すように、Ti層形成時にTiが開口部34底部に堆積し易くなり、厚いTi層36aが形成される。RTN処理時には、Ti膜36aの表面は窒化されるが、その内部は第4導電層16bを構成するポリシリコンと反応してTiシリサイド合金が形成される。この際、TiとSiとが反応してTiSiが形成されると、Tiよりも体積が21%程度減少する。また、Tiと2Siとが反応してTiSi₂が形成されると、Tiよりも体積が24%程度減少する。このため、第4導電層16bと金属層36は、図13(b)に示すように、Tiシリサイド合金の形成部分、すなわち開口部34底部で収縮し、空洞40が形成される。その結果、金属層36や第4導電層16bと、配線層38との間のコンタクト抵抗が高抵抗化する。なお、図13(a)は、従来のメモリ部10のメモリセル周辺部のRTN処理前の状態を示す概略的な断面図である。また、図13(b)は、従来のメモリ部10のメモリセル周辺部のRTN処理後の状態を示す概略的な断面図である。

【0008】本発明は、従来の技術が有する上記問題点に鑑みて成されたものであり、本発明の目的は、上記問題点およびその他の問題点を解決することが可能な、新規かつ改良された半導体装置およびその製造方法を提供することである。

【0009】

【課題を解決するための手段】上記問題点を解決するために、本発明の第1の観点によれば、第1の導電層と、第1の導電層上に第1の絶縁層を介して形成されるとともに、第1の導電層を跨ぐように延在する第2の導電層と、第2の導電層上に形成される第2の絶縁層と、第1の導電層と第2の導電層とが交差する領域の第2の絶縁層上に形成される第3の絶縁層と、第1の導電層と第2の導電層とが交差する領域に形成され、第2の絶縁層と第3の絶縁層とを貫通し第2の導電層へ達する開口部と、を備えることを特徴とする半導体装置が提供される。

【0010】本発明によれば、開口部を開く第2の絶縁層上に、第2の絶縁層とは個別独立した第3の絶縁層が形成される。かかる構成により、開口部を第3の絶縁層の厚み分、深く形成できる。このため、例えば第2の導電層をポリシリコン層から構成し、開口部の内壁にTi層を熱窒化処理して得られるTiN層から成る金属層から形成する場合、以下の効果が得られる。すなわち、本発明によれば、開口部を深く形成できるので、Ti

i層の形成時に、開口部の底部にTiが過度に堆積し難くなる。かかる構成により、Ti層の熱窒化(RTN)処理によりTiN層から成る金属層を形成しても、Ti層とポリシリコンから成る第2の導電層との間でシリサイド化される部分が少なくなる。このため、Ti層や第2の導電層が収縮し難くなり、体積の減少を抑えることができる。その結果、金属層と第2の導電層との間に空洞が形成されず、開口部内に金属層を介して形成される配線層と第2の導電層との間のコンタクト抵抗の高抵抗化を抑制できる。

【0011】さらに、第3の絶縁層を開口部のアスペクト比が0.6以上になる厚みを有するように形成することが好ましい。発明者の知見によれば、開口部のアスペクト比が0.6以上であれば、開口部の底部に上記Tiが過度に堆積しなくなる。このため、金属層形成時に、金属層や第2の導電層の収縮および空洞化を確実に抑えることができる。また、かかる構成により、金属層を形成しても、金属層の機能、例えばバリアメタル層としての機能を維持できる。その結果、第2の導電層と配線層との間のコンタクト抵抗の高抵抗化をさらに抑制できる。なお、本明細書中において、アスペクト比とは、開口部(開孔部)の断面幅(内径)と深さとの比であり、断面幅をaとし、深さをbとすると、「アスペクト比=b/a」で表される式から求められる。

【0012】また、本発明の第2の観点によれば、第1の導電層と、第1の導電層上に第1の絶縁層を介して形成されるとともに、第1の導電層を跨ぐように延在する第2の導電層と、第2の導電層上に形成され、第1の導電層と第2の導電層とが交差する領域に張り出し部を有する第2の絶縁層と、第1の導電層と第2の導電層とが交差する領域に形成され、第2の絶縁層の張り出し部を貫通し第2の導電層へ達する開口部と、を備えることを特徴とする半導体装置が提供される。

【0013】本発明によれば、第2の絶縁層の開口部を開く部分に張り出し部が形成される。かかる構成により、開口部を張り出し部の厚み分、深く形成できる。この際、さらに第2の絶縁層を張り出し部の形成部分で、開口部のアスペクト比が0.6以上になる厚みを有するように形成することが好ましい。その結果、上述した理由により、第2の導電層と配線層との間のコンタクト抵抗の高抵抗化を防止できる。また、本発明によれば、第2の絶縁層上に新たな絶縁層等を形成する必要がない。その結果、製造コストの上昇を抑え、かつ製造時間の短縮を図ることができる。

【0014】また、本発明の第3の観点によれば、第1の導電層と、第1の導電層上に第1の絶縁層を介して形成される第2の導電層と、第2の導電層上に形成される第2の絶縁層と、第1の導電層と第2の導電層とが交差する領域を除く領域に形成され、第2の絶縁層を貫通し第2の導電層へ達する開口部と、を備えることを特徴と

する半導体装置が提供される。

【0015】本発明によれば、開口部下方の第1の絶縁層に第1の導電層が配置されていない。かかる構成により、開口部を形成する部分では、第1の絶縁層が第1の導電層の厚みによる影響を受けないので、第1の絶縁層の上面は平坦に保たれる。このため、第2の導電層上に第2の絶縁層を形成しても、第2の絶縁層の厚みが薄くならず、所定の膜厚を確保できる。この際、さらに第2の絶縁層を開口部のアスペクト比が0.6以上になる厚みを有するように形成することが好ましい。その結果、上記所定深さあるいはアスペクト比の開口部を形成できる。また、本発明によれば、第2の導電層の配置位置を変更したので、第2の絶縁層の形状変更や新たな絶縁層の形成を伴うことがない。その結果、既存の製造工程および製造装置を活用でき、製造コストの上昇をさらに抑制できる。

【0016】また、本発明の第4の観点によれば、第1の導電層と、第1の導電層上に第1の絶縁層を介して形成されるとともに、第1の導電層を跨ぐように延在する第2の導電層と、第2の導電層上に形成される第2の絶縁層と、第1の導電層から1.5 μ m以上離間して形成され、第2の絶縁層を貫通し第2の導電層へ達する開口部と、を備えることを特徴とする半導体装置が提供される。

【0017】本発明によれば、開口部を第1の導電層から上記距離以上離れた第2の絶縁層に形成する。発明者の知見によれば、第1の絶縁層は、第1の導電層から1.5 μ m以上離れれば、第1の導電層の厚みの影響を受けず、上面が盛り上がらずに実質的に平坦となる。このため、開口部の形成部分では、第2の絶縁層の厚みが薄くならず、所定の膜厚を確保できる。この際、さらに第2の絶縁層を開口部のアスペクト比が0.6以上になる厚みを有するように形成することが好ましい。その結果、上記所定深さあるいはアスペクト比の開口部を形成できる。また、本発明によれば、開口部の形成位置を変更したので、第3の観点にかかる発明と同様に、第2の絶縁層の形状変更や新たな絶縁層の形成を伴うことがない。その結果、既存の製造工程および製造装置を活用でき、製造コストの上昇をさらに抑制できる。

【0018】さらに、第1の導電層の下方に第1の絶縁層を介して第3の導電層を配置し、開口部を第1の導電層と第3の導電層から1.5 μ m以上離間した第2の絶縁層に形成することが好ましい。さらに、第3の導電層を第3の絶縁層上に形成し、開口部を第1の導電層と第3の導電層と第3の絶縁層から1.5 μ m以上離間した第2の絶縁層に形成することが好ましい。かかる構成によれば、開口部の深さをより深くあるいはアスペクト比をより高くすることができ。

【0019】また、本発明の第5の観点によれば、第1の導電層上に、第1の絶縁層を形成する工程と、第1の

絶縁層上に、第1の導電層を跨ぐように延在する第2の導電層を形成する工程と、第1の導電層と第2の導電層とが交差する領域の第2の絶縁層上に、第3の絶縁層を形成する工程と、第1の導電層と第2の導電層とが交差する領域に、第2の絶縁層と第3の絶縁層とを貫通し第2の導電層へ達する開口部を形成する工程と、を含むことを特徴とする半導体装置の製造方法が提供される。本発明によれば、上述した第1の観点の発明にかかる半導体装置を形成することができる。この際、さらに第3の絶縁層を形成する工程として、第3の絶縁層を開口部のアスペクト比が0.6以上になる厚みに形成する工程を行うことが好ましい。

【0020】また、本発明の第6の観点によれば、第1の導電層上に、第1の絶縁層を形成する工程と、第1の絶縁層上に、第1の導電層を跨ぐように延在する第2の導電層を形成する工程と、第2の導電層上に、第1の導電層と第2の導電層とが交差する領域に張り出し部を有する第2の絶縁層を形成する工程と、第1の導電層と第2の導電層とが交差する領域に、第2の絶縁層の張り出し部を貫通し第2の導電層へ達する開口部を形成する工程と、を含むことを特徴とする半導体装置の製造方法が提供される。本発明によれば、上述した第2の観点の発明にかかる半導体装置を形成することができる。この際、さらに第2の絶縁層を形成する工程として、第2の絶縁層を張り出し部の形成部分で、開口部のアスペクト比が0.6以上になる厚みに形成する工程を行うことが好ましい。

【0021】また、本発明の第7の観点によれば、第1の導電層上に、第1の絶縁層を形成する工程と、第1の絶縁層上に、第2の導電層を形成する工程と、第2の導電層上に、第2の絶縁層を形成する工程と、第1の導電層と第2の導電層とが交差する領域を除く領域に、第2の絶縁層を貫通し第2の導電層へ達する開口部を形成する工程と、を含むことを特徴とする半導体装置の製造方法が提供される。本発明によれば、上述した第3の観点の発明にかかる半導体装置を形成することができる。この際、さらに第2の絶縁層を形成する工程として、第2の絶縁層を開口部のアスペクト比が0.6以上になる厚みに形成する工程を行うことが好ましい。

【0022】また、本発明の第8の観点によれば、第1の導電層上に、第1の絶縁層を形成する工程と、第1の絶縁層上に、第1の導電層を跨ぐように延在する第2の導電層を形成する工程と、第2の導電層上に、第2の絶縁層を形成する工程と、第1の導電層から1.5 μ m以上離間するとともに、第2の絶縁層を貫通し第2の導電層へ達する開口部を形成する工程と、を含むことを特徴とする半導体装置の製造方法が提供される。本発明によれば、上述した第4の観点の発明にかかる半導体装置を形成することができる。この際、さらに第2の絶縁層を形成する工程として、第2の絶縁層を開口部のアスペク

ト比が0.6以上になる厚みに形成する工程を行うことが好ましい。

【0023】さらに、第1の絶縁層の形成前に第1の導電層の下方に配置される第3の導電層を形成する工程を行い、開口部を形成する工程として開口部を第1の導電層と第3の導電層から1.5 μ m以上離間した第2の絶縁層に形成する工程を行うことが好ましい。さらに、第3の導電層を形成する前に第3の絶縁層を形成する工程と、第3の絶縁層上に第3の導電層を形成する工程とを行い、開口部を形成する工程として開口部を第1の導電層と第3の導電層と第3の絶縁層から1.5 μ m以上離間した前記第2の絶縁層に形成する工程を行うことが好ましい。かかる構成によれば、開口部の深さをより深くあるいはアスペクト比をより高くすることができる。

【0024】

【発明の実施の形態】以下に、添付図面を参照しながら本発明にかかる半導体装置およびその製造方法をCOB型DRAMおよびその製造方法に適用した好適な実施の形態について、詳細に説明する。なお、以下の各実施の形態において、略同一の機能および構成を有する構成要素については、同一の符号を付することにより、重複説明を省略する。

【0025】(第1の実施の形態)まず、図1～図6を参照しながら、第1の実施の形態のCOB型DRAMのメモリ部100の構成について説明する。なお、図1は、メモリ部100のメモリセル部を示す概略的な平面図である。図2は、メモリ部100のメモリセル周辺部を示す概略的な平面図である。図3(a)、図4(a)および図5(a)は、メモリ部100のメモリセル部12を図1に示すA-A線に沿う平面において切断した概略的な断面図である。図3(b)、図4(b)、図5(b)、図6(a)～図6(c)は、メモリ部100のメモリセル周辺部を図2に示すB-B線に沿う平面において切断した概略的な断面図である。

【0026】本実施の形態にかかるメモリ部100は、図1に示すように、半導体基板22上にマトリクス状に配置されたメモリセル群を構成するメモリセル部12を備えている。また、メモリセル部12は、不図示のトランジスタ部(素子)と、図1および図3(a)に示すキャパシタ部(素子)16から構成されている。

【0027】トランジスタ部は、例えばMOS(Metal Oxide Semiconductor)型トランジスタから成り、図1および図3(a)に示すように、第1導電層18と第2導電層20を備えている。第1導電層18は、例えばワード線を成しており、図3(a)に示すように、半導体基板22上にフィールド酸化膜24またはゲート酸化膜23を介して形成されている。また、半導体基板22上には、第1絶縁層26が形成され、第1導電層18やフィールド酸化膜24を覆っている。また、第2導電層20は、例えばビット線を成

しており、図3(a)および図3(b)に示すように、第1絶縁層26内の第1導電層18上方に配置されている。

【0028】また、キャパシタ部16は、図1および図3(a)に示すように、各第1導電層18間の第1絶縁層26に形成されたセルラインコンタクト28内に形成されている。また、キャパシタ部16は、図3(a)に示すように、下部電極(ストレージノード)16aと第4導電層(セルプレート電極(上部電極))16bとでキャパシタ絶縁膜16cを挟持して成る。下部電極16aおよび第4導電層16bは、導電性材料、例えばポリシリコンから構成されている。また、キャパシタ絶縁膜16cは、絶縁性材料、例えばSiN(Si₃N₄)から構成されている。

【0029】また、第4導電層16bは、図1および図3(a)に示すメモリセル部12のキャパシタ部16に加え、図2および図3(b)に示すメモリセル周辺部に渡り形成される。また、第4導電層16bは、例えばCVD法により第1絶縁層26上にポリシリコン膜を形成した後、フォトリソエッチングによりパターニングして形成される。また、図2および図3(b)に示すメモリセル周辺部に形成された第4導電層16bは、抵抗体として使用される。また、メモリセル周辺部では、図2に示すように、第4導電層16bの下方に第2導電層20がランダムに配置され、第2導電層16bが第2導電層20上方を通過する。

【0030】また、第4導電層16bの形成後、基板表面の平坦化および第4導電層16bに接続する配線層38の形成を行う。まず、図4(a)および図4(b)に示すように、第4導電層16bが形成された第1絶縁層26上に、CVD法により、例えばBPSG(Boron-Phospho Silicate Glass)から成る第2絶縁層30を形成する。第2絶縁層30は、例えば1200nm～1800nmの厚み成膜される。その後、第2絶縁層30をドライフローする。次いで、第2絶縁層30上にSOG(Spin On Glass)を、例えば400nm～500nmの厚みで塗布後、ベークしてSOGから成る被膜32を形成する。次いで、図5(a)および図5(b)に示すように、被膜32および第2絶縁層30をエッチバックする。この際、被膜32は除去され、第2絶縁層30の露出面が平坦化される。

【0031】次いで、本実施の形態の特徴的な工程を行う。まず、図6(a)に示すように、第2絶縁層30上に、CVD法により、第3絶縁層102を形成する。第3絶縁層102は、例えば第2絶縁層30と同一の材料であるBPSGから構成される。また、第3絶縁層102は、所定深さの開口部104を形成可能な厚みに成膜される。該開口部104の深さは、後述の工程で開口部104底部に堆積するTi層36aが、RTN処理時に

第4導電層16bと金属層36との間に空洞40が形成されない程度の厚みになるように設定される。かかる条件を満たす開口部104は、上述したように、アスペクト比が0.6以上の時に形成される。従って、開口部104の深さは、例えば開口部104の断面幅(内径)が0.6 μm であれば、360nm以上となる。ただし、第4導電層16bと第3絶縁層102との間には、第2絶縁層30が介装されている。従って、第3絶縁層102は、第2導電層20の上方に配された第2絶縁層30の厚みがエッチバック後に例えば100nmである場合、260nm以上の厚みに成膜する。

【0032】次いで、第3絶縁層102上に不図示のフォトレジスト膜を形成する。この際、フォトレジスト膜は、開口部104を形成する第4導電層16b上方に配置する。その後、フォトレジスト膜をマスクとして、ドライエッチング処理を行い、図6(b)に示すように、第3絶縁層102をパターンニングする。かかる構成により、第2絶縁層30上の第4導電層16b上方に、第3絶縁層102が形成される。

【0033】次いで、第2および第3絶縁層30、102に、図6(c)に示すように、第4導電層16bに接続される開口部104を形成する。開口部104は、フォトリソエッチングにより、第4導電層16bが露出するように形成される。また、開口部104は、第2および第3絶縁層30、102の厚みにより、0.6以上のアスペクト比を有し、360nm以上の深さに形成される。次いで、開口部104の内壁面および周辺部に、例えばCVD法により、金属層の構成材料、例えばTi膜36aを60nm~120nmの厚みに成膜する。その後、Ti膜36aを、RTN処理により表面を窒化させて、TiNから成る金属層36を形成する。同時に、第4導電層16bを構成するポリシリコンとTiとを反応させて、開口部104底部にTiシリサイド合金を形成する。次いで、開口部104内に、例えばCVD法によりWを埋め込み、フォトリソエッチングによりパターンニングして配線層38を形成する。

【0034】以上のように、本実施の形態によれば、開口部104を第2および第3絶縁層30、102を介して形成する。かかる構成により、開口部104の深さを、第3絶縁層102の厚み分、従来の開口部34よりも深くできる。このため、開口部104底部に厚いTi膜36aが形成されず、RTN処理時に第4導電層16bや金属層36に空洞40が形成されることがない。その結果、第4導電層16bや金属層36と、配線層38との間のコンタクト抵抗を高抵抗化を抑えることができる。

【0035】(第2の実施の形態)次に、図7を参照しながら、本発明の第2の実施の形態のメモリ部200について説明する。なお、図7(a)、図7(b)および図7(c)は、メモリ部200のメモリセル周辺部を図

2に示すB-B線に沿う平面において切断した概略的な断面図である。

【0036】本実施の形態にかかるメモリ部200を形成する場合には、まず上記メモリ部100と同様に、図3~図4に示す第2絶縁層202および被膜32を形成した後、図5に示すように第2絶縁層202のエッチバックを開始する。

【0037】エッチバック開始後、上記第1の実施の形態とは異なり、第2絶縁層202が第4導電層16bの上方でアスペクト比が0.6以上の開口部104を形成できる厚み、例えば360nmになった際に、エッチバックを一旦停止する。次いで、図7(a)に示すように、第4導電層16b上方の第2絶縁層202上にフォトレジスト膜204を形成する。その後、再びエッチバックを開始し、フォトレジスト膜204が形成されている部分以外の第2絶縁層202の平坦化を行う。次いで、図7(b)に示すように、フォトレジスト膜204を除去する。かかる構成により、第2絶縁層202のフォトレジスト膜204が形成されている部分は、エッチバックされず、上記厚みが維持される。その結果、第2絶縁層202に、上記深さの開口部206を形成可能な張り出し部202aが形成される。

【0038】次いで、第2絶縁層202の張り出し部202a形成部分に、図7(c)に示すように、開口部206を形成する。開口部206は、上記メモリ部100の形成工程と同様に、フォトリソエッチングにより形成される。また、開口部206は、第2絶縁層202の張り出し部202aの厚みにより、0.6以上のアスペクト比を有し、360nm以上の深さに形成される。次いで、上記メモリ部100と同様に図6(c)に示す工程を行い、開口部206内壁面に金属層36を形成した後、開口部206内に配線層38を形成する。

【0039】以上のように、本実施の形態によれば、第2絶縁層202の張り出し部202aの形成部分に開口部206を形成する。かかる構成により、上記第1の実施の形態と同様に、所定深さの開口部206を形成できる。また、本実施の形態によれば、張り出し部202aを第2絶縁層202と一体形成するので、第2絶縁層202上に新たな絶縁層を形成する必要がない。その結果、製造コストの削減および製造時間の短縮を達成することができる。

【0040】(第3の実施の形態)次に、図8を参照しながら、本発明の第3の実施の形態のメモリ部300について説明する。なお、図8(a)および図8(b)は、メモリ部300のメモリセル周辺部を図2に示すB-B線に沿う平面において切断した概略的な断面図である。

【0041】本実施の形態にかかるメモリ部300を形成する場合には、まず上記メモリ部100と同様に、図3~図5に示す工程を行い、第2絶縁層30表面を平坦

化する。ただし、第4導電層16bは、上記第1および第2の実施の形態とは異なり、メモリセル周辺部では第2導電層20などの各種素子が形成されている領域以外に形成されている。このため、第4導電層16bと半導体基板22との間に配される第1絶縁層26には、第2導電層20を初めとする各種素子が形成されていない。また、第2絶縁層30は、図8(a)に示すように、第4導電層16b上の部分では、後述の開口部302のアスペクト比が0.6以上になる厚み、例えば上記第1〜第2の実施の形態と同様に360nm以上の厚みに形成されている。

【0042】次いで、第2絶縁層30のメモリセル周辺部に、フォトリソエッチングにより、第4導電層16bに接続される開口部302を形成する。本実施の形態では、すでに説明したように、上記第1および第2の実施の形態とは異なり、開口部302下方の第1絶縁層26に第2導電層20などの厚みを有する各種素子が配置されていない。また、開口部302が形成される部分では、第2絶縁層30が上記厚みに設定されている。このため、開口部302は、0.6以上のアスペクト比で、例えば360nm以上の深さに形成される。次いで、図8(b)に示すように、図6(c)に示すメモリ部100の形成工程と同様に、開口部302の内壁に金属層36を形成し、開口部302内に配線層38を形成する。

【0043】以上のように、本実施の形態によれば、上記所定深さの開口部302を形成する場合でも、第2絶縁層30上に他の絶縁層を形成したり、あるいは第2絶縁層30をパターニングする必要がない。このため、製造コストを抑制し、製造時間を短縮できる。また、本実施の形態によれば、従来の製造工程からの変更点が少ないため、既存の製造工程および製造設備を活用することができる。また、配線層38周辺の第2絶縁層30表面に段差部が形成されず、第2絶縁層30の表面を完全に平坦化できる。その結果、配線層38形成時のフォトリソマージンを従来の製造工程よりも向上させることができる。

【0044】(第4の実施の形態)次に、図9を参照しながら、本発明の第4の実施の形態メモリ部400について説明する。なお、図9(a)および図9(b)は、メモリ部400のメモリセル周辺部を図2に示すB-B線に沿う平面において切断した概略的な断面図である。

【0045】本実施の形態にかかるメモリ部400を形成する場合には、まず上記メモリ部100と同様に、図3〜図5に示す工程を行い、第2絶縁層30表面を平坦化する。この際、第2絶縁層30は、図9(a)に示すように、開口部402の形成部分で、開口部402のアスペクト比が0.6以上になる厚み、例えば360nm以上の厚みに成膜されている。

【0046】次いで、第2絶縁層30に、フォトリソエッチングにより第4導電層16bに接続される開口部4

02を形成する。ただし、第4導電層16bの下方には、上記第3の実施の形態とは異なり、また第1および第2の実施の形態と同様に、第2導電層20が配置されている。このため、第2絶縁層30の厚みは、第2導電層20上方でその周辺領域よりも薄くなっている。そこで、本実施の形態では、開口部402を第2絶縁層30が上記所定厚みになる位置に形成する。かかる位置は、上述したように、第2導電層20から1.5 μ m(図9中L)以上離れた位置である。従って、開口部402は、第2導電層20から1.5 μ m以上離れた第2絶縁層30に形成する。

【0047】次いで、図9(b)に示すように、メモリ部100の図6(c)に示す工程と同様に、開口部402の内壁に金属層36を形成した後、開口部402内に配線層38を形成する。

【0048】以上のように、本実施の形態によれば、所定深さの開口部402を形成しても、第3の実施の形態と同様に、第2絶縁層30上に他の絶縁層を形成したり、あるいは第2絶縁層30をパターニングする必要がない。このため、製造コストを抑制し、製造時間を短縮できる。さらに、従来の製造工程からの変更点が少ないため、既存の製造工程および製造設備を活用することができる。さらにまた、配線層38周辺の第2絶縁層30表面を平坦化でき、配線層38形成時のフォトリソマージンを向上させることができる。

【0049】また、本実施の形態の他の形態としては、図10に示すメモリ部500や図11に示すメモリ部600がある。なお、図10(a)および図10(b)は、メモリ部500のメモリセル周辺部を図2に示すB-B線に沿う平面において切断した概略的な断面図である。また、図11(a)および図11(b)は、メモリ部600のメモリセル周辺部を図2に示すB-B線に沿う平面において切断した概略的な断面図である。

【0050】メモリ部500は、図10(a)および図10(b)に示すように、第2導電層20下方に図3に示すメモリ部100の製造工程で説明した第1導電層14が配置されている。かかるメモリ部500では、開口部502を第1導電層14と第2導電層20から1.5 μ m(図10中L)以上離れた第2絶縁層30に形成する。

【0051】また、メモリ部600は、図11(a)および図11(b)に示すように、第2導電層20下方に図3に示すメモリ部100の製造工程で説明した第1導電層14とフィールド酸化膜24が配置されている。かかるメモリ部600では、開口部602をフィールド酸化膜24、第1導電層14、第2導電層20から1.5 μ m(図11中L)以上離れた第2絶縁層30に形成する。なお、メモリ部500、600は、上記構成以外はメモリ部400と同一なので重複説明を省略する。

【0052】以上のように、メモリ部500、600の

如く構成すれば、開口部502、602のアスペクト比（深さ）をさらに高く（深く）することができる。なお、本発明は、上記構成に限定されるものではなく、例えば第2導電層20と第4導電層16bとの間、あるいは第2導電層20と半導体基板22との間の第1絶縁層26に各種素子を配置する場合にも適用することができる。

【0053】以上、本発明の好適な実施の形態について、添付図面を参照しながら説明したが、本発明はかかる構成に限定されるものではない。特許請求の範囲に記載された技術的思想の範疇において、当業者であれば、各種の変更例および修正例に想到し得るものであり、それら変更例および修正例についても本発明の技術的範囲に属するものと了解される。

【0054】

【発明の効果】本発明によれば、配線層を埋め込む開口部のアスペクト比を高くすることができる。かかる構成により、配線層と導電層との間に介装される金属層の形成時に、例えばTiが開口部の底部に厚く堆積し難くなる。このため、例えば熱窒化処理時に、Ti層のシリサイド化が過度に進行せず、金属層や導電層の収縮が抑制される。その結果、金属層と導電層との間が空洞化せず、コンタクト抵抗の上昇を抑えることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態のメモリ部のメモリセル部を示す概略的な平面図である。

【図2】本発明の第1の実施の形態のメモリ部のメモリセル周辺部を示す概略的な平面図である。

【図3】(a)は、本発明の第1の実施の形態のメモリ部のメモリセル部を図1に示すA-A線に沿う平面において切断した概略的な断面図である。また、(b)は、本発明の第1の実施の形態のメモリ部のメモリセル部周辺部を図2に示すB-B線に沿う平面において切断した概略的な断面図である。

【図4】(a)は、本発明の第1の実施の形態のメモリ部のメモリセル部を図1に示すA-A線に沿う平面において切断した概略的な断面図である。また、(b)は、本発明の第1の実施の形態のメモリ部のメモリセル部周辺部を図2に示すB-B線に沿う平面において切断した概略的な断面図である。

【図5】(a)は、本発明の第1の実施の形態のメモリ部のメモリセル部を図1に示すA-A線に沿う平面において切断した概略的な断面図である。また、(b)は、

本発明の第1の実施の形態のメモリ部のメモリセル部周辺部を図2に示すB-B線に沿う平面において切断した概略的な断面図である。

【図6】(a)、(b)および(c)は、本発明の第1の実施の形態のメモリ部のメモリセル周辺部を図2に示すB-B線に沿う平面において切断した概略的な断面図である。

【図7】(a)、(b)および(c)は、本発明の第2の実施の形態のメモリ部のメモリセル周辺部を図2に示すB-B線に沿う平面において切断した概略的な断面図である。

【図8】(a)および(b)は、本発明の第3の実施の形態のメモリ部のメモリセル周辺部を図2に示すB-B線に沿う平面において切断した概略的な断面図である。

【図9】(a)および(b)は、本発明の第4の実施の形態のメモリ部のメモリセル周辺部を図2に示すB-B線に沿う平面において切断した概略的な断面図である。

【図10】(a)および(b)は、本発明の第4の実施の形態の他の形態のメモリ部のメモリセル周辺部を図2に示すB-B線に沿う平面において切断した概略的な断面図である。

【図11】(a)および(b)は、本発明の第4の実施の形態の他の形態のメモリ部のメモリセル周辺部を図2に示すB-B線に沿う平面において切断した概略的な断面図である。

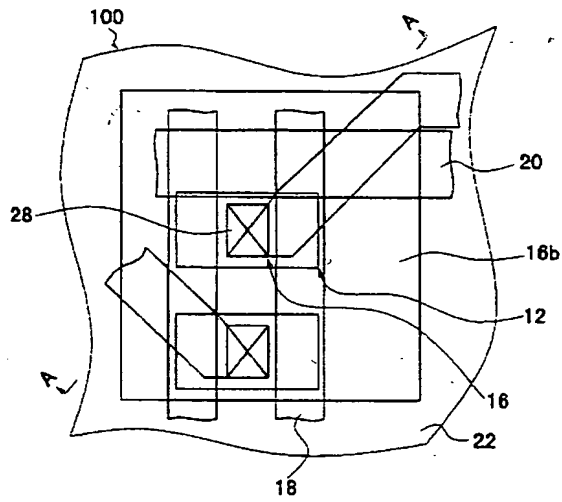
【図12】(a)は、従来のメモリ部のメモリセル部の概略的な断面図である。また、(b)は、従来のメモリ部のメモリセル周辺部の概略的な断面図である。

【図13】(a)は、従来のメモリ部のメモリセル周辺部のRTN処理前の状態を示す概略的な断面図である。また、(b)は、従来のメモリ部のメモリセル周辺部のRTN処理後の状態を示す概略的な断面図である。

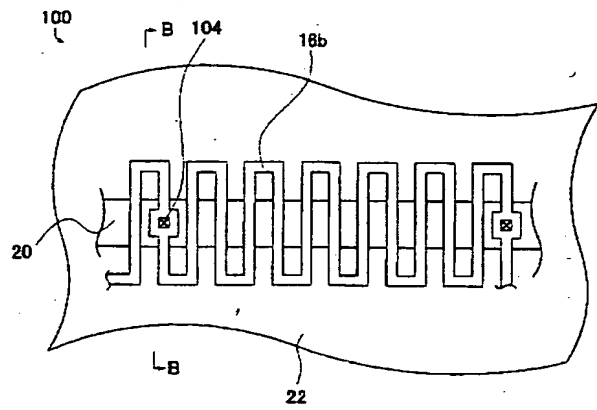
【符号の説明】

16b	第4導電層
20	第2導電層
22	半導体基板
26	第1絶縁層
30	第2絶縁層
36	金属層
38	配線層
100	メモリ部
102	第3絶縁層
104	開口部

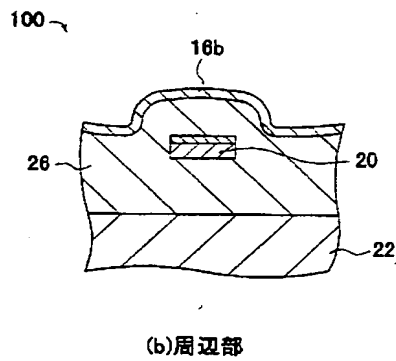
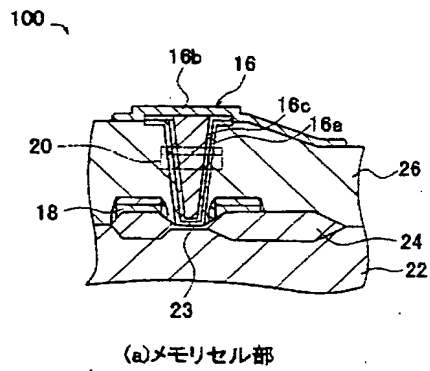
【図1】



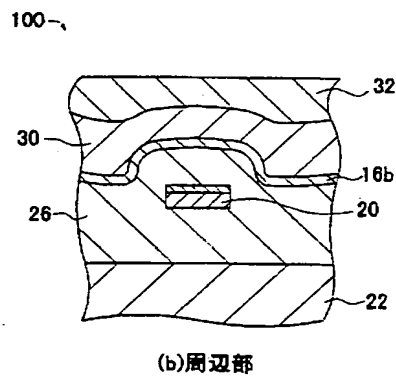
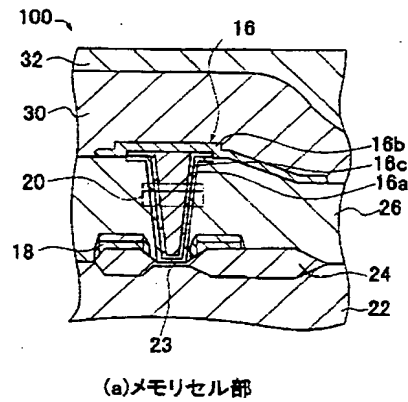
【図2】



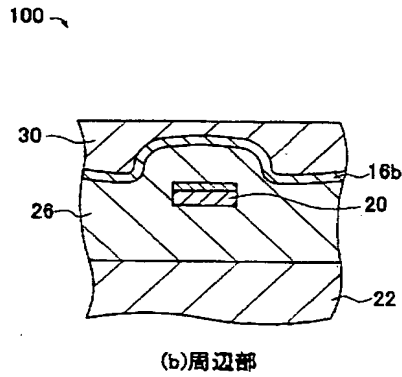
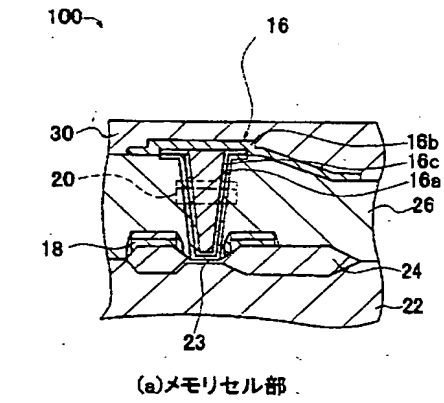
【図3】



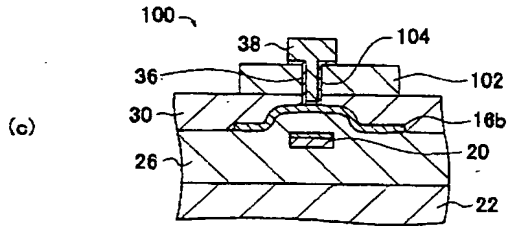
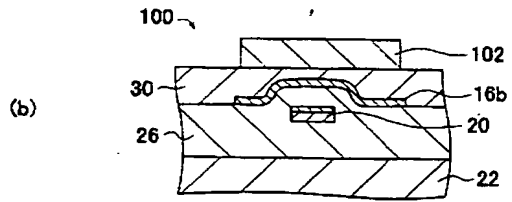
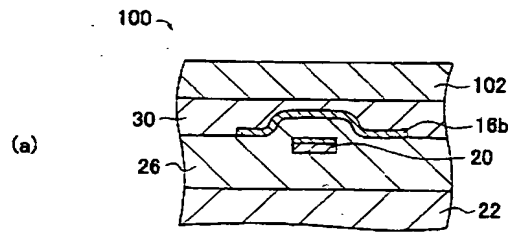
【図4】



【図5】

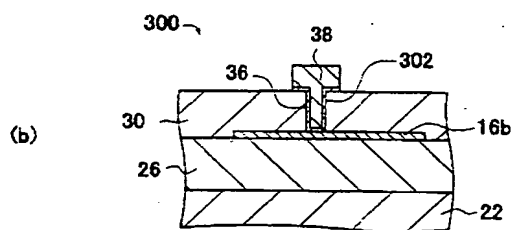
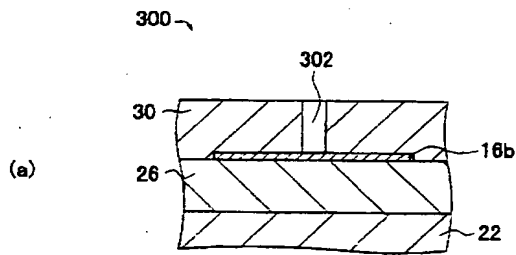


【図6】

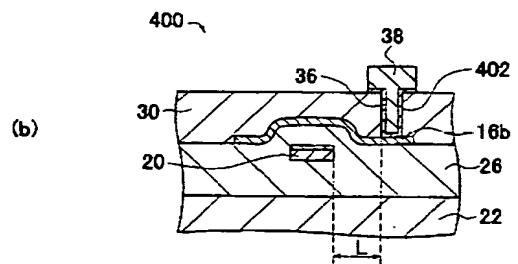
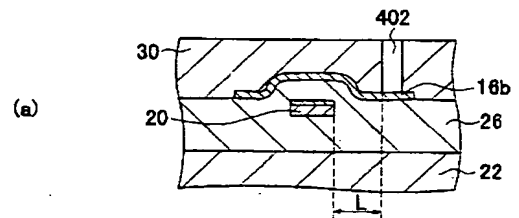


【図9】

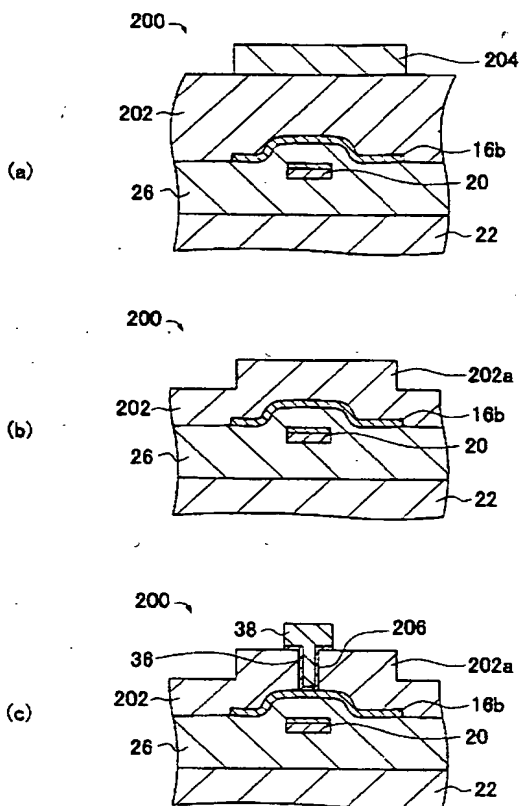
【図8】



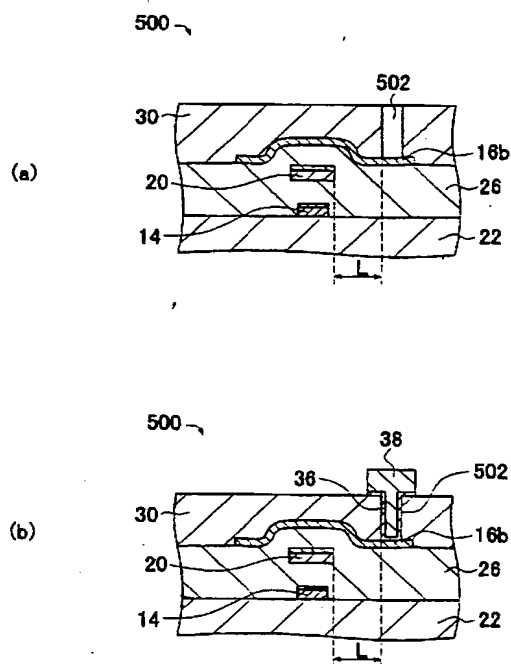
400



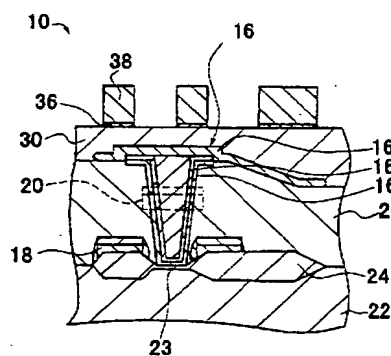
【図7】



【図10】

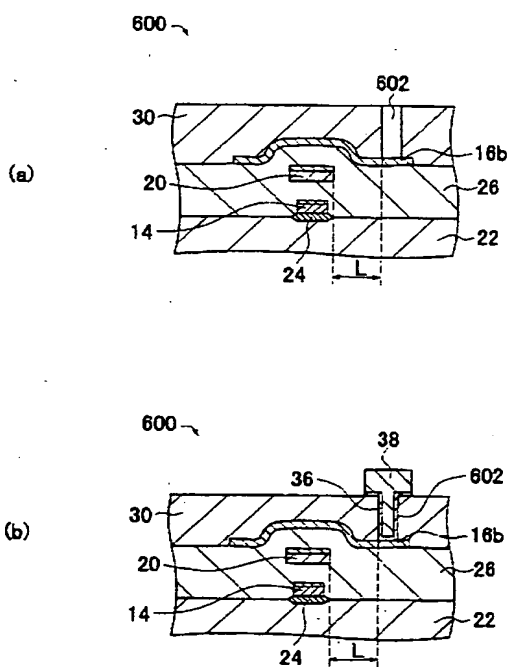


【図12】

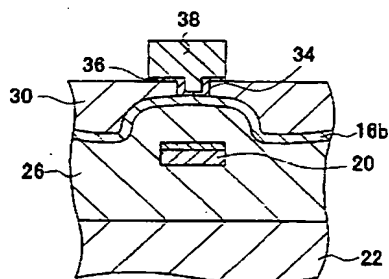


(a)メモリセル部

【図11】

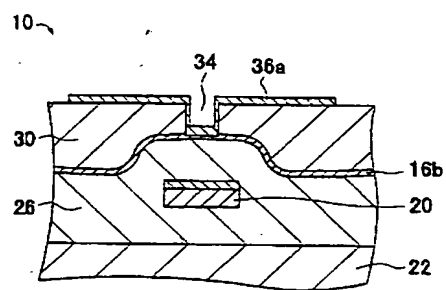


10

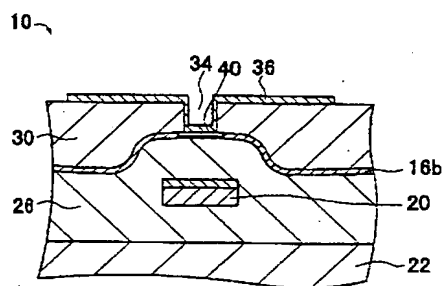


(b)周辺部

【図13】



(a)RTN処理前



(b)RTN処理後